

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-535867

(P2002-535867A)

(43) 公表日 平成14年10月22日 (2002. 10. 22)

| (51) Int.Cl.               | 識別記号  | F I           | キーワード (参考)        |
|----------------------------|-------|---------------|-------------------|
| H 0 3 M 13/27              |       | H 0 3 M 13/27 | 5 B 0 0 1         |
| G 0 6 F 11/10              | 3 3 0 | G 0 6 F 11/10 | 3 3 0 S 5 J 0 6 5 |
| H 0 3 M 13/29              |       | H 0 3 M 13/29 | 5 K 0 1 4         |
| H 0 4 L 1/00               |       | H 0 4 L 1/00  | F                 |
| 審査請求 未請求 予備審査請求 有 (全 30 頁) |       |               |                   |

(21) 出願番号 特願2000-594200(P2000-594200)  
 (86) (22) 出願日 平成12年1月11日(2000.1.11)  
 (85) 翻訳文提出日 平成13年7月9日(2001.7.9)  
 (86) 国際出願番号 PCT/IB00/00031  
 (87) 国際公開番号 WO00/42709  
 (87) 国際公開日 平成12年7月20日(2000.7.20)  
 (31) 優先権主張番号 60/115,394  
 (32) 優先日 平成11年1月11日(1999.1.11)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 09/263,431  
 (32) 優先日 平成11年3月4日(1999.3.4)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 ノーテル・ネットワークス・リミテッド  
 NORTEL NETWORKS LIM  
 ITED  
 カナダ国 エッチ・4・エス 2・エイ・  
 9 ケベック州 セント・ローレント プ  
 ールバード アルフレッド・ノベル 2351  
 (72) 発明者 キュイ・ジャン  
 カナダ、ケー2ジー、6ケー1、オンタリ  
 オ、ネビアン、メドウランズ・ドライブ・  
 イースト、ナンバー607-1218  
 (74) 代理人 弁理士 岡田 次生 (外2名)

最終頁に続く

(54) 【発明の名称】 ターボ符号化のためのブロック・インターリーブ

## (57) 【要約】

インターリーブ装置は、サイズNの到着するデータフレームを受け取る。インターリーブ装置は、 $N_1 \times N_2$ の索引配列Iによってフレームの要素を索引付けする。つぎに、インターリーブ装置は、索引配列の行の順序を変えることによって効果的にデータを配列しなおす(データの順序を変える)。(jによって索引付けされる)各行の(kによって索引付けされる)列の順序を変えるために、インターリーブ装置は、式 $I(j, k) = I(j, (\alpha_j \cdot k + \beta_j) \bmod P)$ を使用する。Pは少なくとも $N_2$ に等しく、 $\beta_j$ は各行ごとに変わってもよい定数であり、各 $\alpha_j$ はPに対して素の数である。順序変更の後、インターリーブ装置は、受け取ったとは異なる順序でデータを出力する(たとえば、行ごとに順次受け取り、列ごとに順次出力する)。

マトリックス D 350:

|   | 0    | 1    | 2    | 3    | 4    | 5    | ← jk |
|---|------|------|------|------|------|------|------|
| 0 | FE00 | FE01 | FE02 | FE03 | FE04 | FE05 |      |
| 1 | FE06 | FE07 | FE08 | FE09 | FE10 | FE11 |      |
| 2 | FE12 | FE13 | FE14 | FE15 | FE16 | FE17 |      |

↑ j

以下の式による順序変換  
 $D_1(j, k) = D(j, (\alpha_j \cdot k + \beta_j) \bmod P)$   
 ここで  
 $\alpha = 5, 5, 5$   
 $\beta = 1, 2, 3$   
 $P = 6$

マトリックス D<sub>1</sub> 360:

|   | 0    | 1    | 2    | 3    | 4    | 5    | ← jk |
|---|------|------|------|------|------|------|------|
| 0 | FE01 | FE00 | FE05 | FE04 | FE03 | FE02 |      |
| 1 | FE08 | FE07 | FE06 | FE11 | FE10 | FE09 |      |
| 2 | FE15 | FE14 | FE13 | FE12 | FE17 | FE16 |      |

↑ j

## 【特許請求の範囲】

【請求項1】 データのフレームの要素をインターリーブする方法であって

0, 1, ...,  $N_1 - 1$  と数えられる  $N_1$  個の行と、0, 1, ...,  $N_2 - 1$  と数えられる  $N_2$  個の列とを含み、 $N_1$  と  $N_2$  は、1 より大きな正の整数である配列 D として、複数の要素を含むデータのフレームを記憶するステップと、

$j$  は配列 D および  $D_1$  の行を通じての索引であり、 $k$  は配列 D および  $D_1$  の列を通じての索引であり、 $\alpha_j$  および  $\beta_j$  は、各行  $j$  について予め決定された整数であり、 $P$  は少なくとも  $N_2$  に等しい整数であり、各  $\alpha_j$  は、 $P$  に対して互いに素の数であるとして、

$$D_1(j, k) = D(j, (\alpha_j \cdot k + \beta_j) \bmod P)$$

にしたがって、配列 D の順序を変えて、配列  $D_1$  とするステップを含む方法。

【請求項2】 配列 D の前記要素が第 1 の順序にしたがって記憶され、配列  $D_1$  の前記要素が第 2 の順序にしたがって出力される請求項 1 に記載の方法。

【請求項3】 配列 D の要素が行ごとに記憶され、配列  $D_1$  の要素が列ごとに出力される請求項 2 に記載の方法。

【請求項4】 配列  $D_1$  を出力するステップをさらに含み、 $N_1$  と  $N_2$  の積はフレームにおける要素の数よりも大きく、出力中に、フレームにおける要素の数までフレームが縮小される請求項 1 に記載の方法。

【請求項5】 データのフレームの要素をインターリーブする方法であって

0, 1, ...,  $N_1 - 1$  と数えられる  $N_1$  個の行と、0, 1, ...,  $N_2 - 1$  と数えられる  $N_2$  個の列とを含み、 $N_1$  と  $N_2$  は、1 より大きな正の整数である索引配列 I を作成し、記憶するステップと、

データのフレームの要素を、複数の記憶場所の各々へ記憶するステップと、

フレーム要素の対応する場所を示す値を、配列 I の行ごとの連続した位置に記憶するステップと、

$j$  は配列 I および  $I_1$  の行を通じての索引であり、 $k$  は配列 I および  $I_1$  の列を通じての索引であり、 $\alpha_j$  および  $\beta_j$  は、各行  $j$  について予め決定された整数

であり、 $P$ は少なくとも $N_2$ に等しい整数であり、各 $\alpha_j$ は、 $P$ に対して互いに素の数であるとして、

$$I_1(j, k) = I(j, (\alpha_j \cdot k + \beta_j) \bmod P)$$

にしたがって、配列 $I$ の順序を変えて、配列 $I_1$ とし、それによって、配列 $I_1$ によって索引付けされながらデータのフレームが効果的に順序を変えられるステップを含む方法。

【請求項6】 前記順序を変えた配列 $I_1$ にしたがって、前記記憶した要素の順序を変えるステップをさらに含む請求項5に記載の方法。

【請求項7】 データのフレームの前記要素が、配列 $I_1$ の項目によって索引付けされながら、行ごとと以外のやり方で出力される請求項5に記載の方法。

【請求項8】 データのフレームの要素が、配列 $I_1$ の項目によって索引付けされながら、列ごとに出力される請求項7に記載の方法。

【請求項9】 配列 $I$ の順序を変えるステップの前に、配列 $I$ の行の位置を変えるステップを含む請求項5に記載の方法。

【請求項10】  $N_1$ は4に、 $N_2$ は8に、 $P$ は8に等しく、 $\alpha_j$ の値は、各行ごとに異なり、1, 3, 5および7からなるグループから選択される請求項5に記載の方法。

【請求項11】  $\alpha_j$ の値は、 $j = 0, 1, 2$ および3に対して、それぞれ、1, 3, 5および7である請求項10に記載の方法。

【請求項12】  $\alpha_j$ の値は、 $j = 0, 1, 2$ および3に対して、それぞれ、1, 5, 3および7である請求項10に記載の方法。

【請求項13】  $\beta$ の全ての値は0である請求項5に記載の方法。

【請求項14】  $\beta$ の少なくとも二つの値が同じである請求項5に記載の方法。

【請求項15】  $\beta$ の全ての値は0である請求項11に記載の方法。

【請求項16】  $\beta$ の全ての値は0である請求項12に記載の方法。

【請求項17】 データのフレームを出力するステップをさらに含み、 $N_1$ と $N_2$ の積はデータのフレームにおける要素の数よりも大きく、出力中に、データのフレームにおける要素の数までデータのフレームが縮小される請求項5に記載の方法。

載の方法。

【請求項18】 データのフレームの要素をインターリーブするインターリーブ装置であって、

$0, 1, \dots, N_1 - 1$  と数えられる  $N_1$  個の行と、  $0, 1, \dots, N_2 - 1$  と数えられる  $N_2$  個の列とを含み、  $N_1$  と  $N_2$  は、1より大きな正の整数である配列  $D$  として、複数の要素を含むデータのフレームを記憶する記憶手段と、

$j$  は配列  $D$  および  $D_1$  の行を通じての索引であり、  $k$  は配列  $D$  および  $D_1$  の列を通じての索引であり、  $\alpha_j$  および  $\beta_j$  は、各行  $j$  について予め決定された整数であり、  $P$  は少なくとも  $N_2$  に等しい整数であり、各  $\alpha_j$  は、  $P$  に対して互いに素の数であるとして、

$$D_1(j, k) = D(j, (\alpha_j \cdot k + \beta_j) \bmod P)$$

にしたがって、配列  $D$  の順序を変えて、配列  $D_1$  とする順序変更手段とを含む装置。

【請求項19】 配列  $D$  の前記要素を第1の順序にしたがって記憶するための手段と、配列  $D_1$  の前記要素を第2の順序にしたがって出力するための手段とを含む請求項18に記載のインターリーブ装置。

【請求項20】 配列  $D$  の前記要素を記憶するための前記手段が行ごとに記憶し、配列  $D_1$  の要素を出力するための前記手段が列ごとに出力する請求項19に記載のインターリーブ装置。

【請求項21】 前記配列  $D_1$  を出力し、  $N_1$  と  $N_2$  の積がフレームにおける要素の数よりも大きいときに、フレームにおける要素の数まで前記配列  $D_1$  を縮小するための手段を含む請求項18に記載の方法。

【請求項22】 データのフレームの要素をインターリーブするインターリーブ装置であって、

$0, 1, \dots, N_1 - 1$  と数えられる  $N_1$  個の行と、  $0, 1, \dots, N_2 - 1$  と数えられる  $N_2$  個の列とを含み、  $N_1$  と  $N_2$  は、1より大きな正の整数である索引配列  $I$  を記憶するための手段と、

データのフレームを受け取り、該データのフレームの要素を、複数の記憶場所の各々へ記憶するための手段と、

フレーム要素の対応する場所を示す値を、配列 I の行ごとの連続した位置に記憶するための手段と、

j は配列 I および I<sub>1</sub> の行を通じての索引であり、k は配列 I および I<sub>1</sub> の列を通じての索引であり、 $\alpha_j$  および  $\beta_k$  は、各行 j について予め決定された整数であり、P は少なくとも N<sub>2</sub> に等しい整数であり、各  $\alpha_j$  は、P に対して互いに素の数であるとして、

$$I_1(j, k) = I(j, (\alpha_j \cdot k + \beta_k) \bmod P)$$

にしたがって、配列 I<sub>1</sub> の順序を変えて、配列 I<sub>1</sub> とし、それによって、配列 I<sub>1</sub> によって索引付けされながらデータのフレームが効果的に順序を変えられる順序変更手段とを含む装置。

【請求項 23】 前記順序を変えた索引配列 I<sub>1</sub> にしたがって、前記記憶した要素の順序を変えるための手段をさらに含む請求項 22 に記載のインターリーブ装置。

【請求項 24】 フレーム要素を、配列 I<sub>1</sub> の項目によって索引付けしながら、行ごと以外のやり方で出力するための手段を含む請求項 22 に記載のインターリーブ装置。

【請求項 25】 フレーム要素を、配列 I<sub>1</sub> の項目によって索引付けしながら、列ごとに出力するための手段を含む請求項 24 に記載のインターリーブ装置。

【請求項 26】 N<sub>1</sub> と N<sub>2</sub> の積がフレームにおける要素の数よりも大きく、出力するための手段によって、フレームにおける要素の数までフレームが縮小される請求項 22 に記載のインターリーブ装置。

【請求項 27】 データのフレームの要素をインターリーブするインターリーブ装置であって、

0, 1, ..., N<sub>1</sub> - 1 と数えられる N<sub>1</sub> 個の行と、0, 1, ..., N<sub>2</sub> - 1 と数えられる N<sub>2</sub> 個の列とを含み、N<sub>1</sub> と N<sub>2</sub> は、1 より大きな正の整数である配列 D として、複数の要素を含む、受け取ったデータのフレームを記憶するための入力メモリと、

j は配列 D および D<sub>1</sub> の行を通じての索引であり、k は配列 D および D<sub>1</sub> の列

を通じての索引であり、 $\alpha_j$  および  $\beta_j$  は、各行  $j$  について予め決定された整数であり、 $P$  は少なくとも  $N_2$  に等しい整数であり、各  $\alpha_j$  は、 $P$  に対して互いに素の数であるとして、

$$D_1(j, k) = D(j, (\alpha_j \cdot k + \beta_j) \bmod P)$$

にしたがって、配列  $D$  の順序を変えて、配列  $D_1$  とするための、前記入力メモリへ結合されたプロセッサと、

前記プロセッサへ結合され、順序を変えた配列  $D_1$  を記憶するように構成されたワーキング・メモリを含む装置、

【請求項28】 前記入力メモリが、配列  $D$  の前記要素を第1の順序にしたがって記憶し、前記ワーキング・メモリが、配列  $D_1$  の前記要素を第2の順序にしたがって出力する請求項27に記載のインターリーブ装置。

【請求項29】 前記入力メモリが、配列  $D$  の要素を行ごとに記憶し、前記ワーキング・メモリが、配列  $D_1$  の要素を列ごとに出力する請求項28に記載のインターリーブ装置。

【請求項30】 前記ワーキング・メモリが、 $N_1$  と  $N_2$  の積がフレームにおける要素の数よりも大きいときに、フレームにおける要素の数まで前記配列  $D_1$  を縮小する請求項27に記載の方法。

【請求項31】 データのフレームの要素をインターリーブするインターリーブ装置であって、

$0, 1, \dots, N_1 - 1$  と数えられる  $N_1$  個の行と、 $0, 1, \dots, N_2 - 1$  と数えられる  $N_2$  個の列とを含み、 $N_1$  と  $N_2$  は、1より大きな正の整数である索引配列  $I$  を記憶し、また、受け取ったデータのフレームの要素を複数の記憶場所の各々へ記憶するためのメモリと、

フレーム要素の対応する場所を示す値を、配列  $I$  の行ごとの連続した位置に記憶するための、前記メモリへ結合されたプロセッサであって、

また、 $j$  は配列  $I$  および  $I_1$  の行を通じての索引であり、 $k$  は配列  $I$  および  $I_1$  の列を通じての索引であり、 $\alpha_j$  および  $\beta_j$  は、各行  $j$  について予め決定された整数であり、 $P$  は少なくとも  $N_2$  に等しい整数であり、各  $\alpha_j$  は、 $P$  に対して互いに素の数であるとして、

$$I_1(j, k) = I(j, (\alpha_1 \cdot k + \beta_1) \bmod P)$$

にしたがって、前記メモリにおいて記憶された、配列 $I$ の順序を変えて、配列 $I_1$ とし、それによって、配列 $I_1$ によって索引付けされながらデータのフレームが効果的に順序を変えられるようにするためのプロセッサとを含む装置。

【請求項32】 前記プロセッサが、前記順序を変えた索引配列 $I_1$ にしたがって、前記記憶した要素の順序を変える請求項31に記載のインターリーブ装置。

【請求項33】 前記メモリが、フレーム要素を、配列 $I_1$ の項目によって索引付けしながら、行ごと以外のやり方で出力する請求項31に記載のインターリーブ装置。

【請求項34】 前記メモリが、フレーム要素を、配列 $I_1$ の項目によって索引付けしながら、列ごとに出力する請求項33に記載のインターリーブ装置。

【請求項35】 前記メモリが、 $N_1$ と $N_2$ の積がデータのフレームにおける要素の数よりも大きいときに、データのフレームにおける要素の数までデータのフレームを縮小する請求項31に記載のインターリーブ装置。

## 【発明の詳細な説明】

## 【0001】

本発明は全般に通信システムに関し、より詳細には、符号変調を行なうためのインターリーブに関する。

## 【0002】

符号化変調として知られる、通信チャネルを符号化する技術は、モデムや無線通信システムなどの電子通信システムのビットエラーレート（BER）を改善することが分かっている。加法的白色ガウス雑音（AWGN）またはフェーディングを特徴とする「ランダムエラー」チャネルに対して、ターボ符号化変調は、実際的でパワー効率がよくバンド幅効率のよい変調方法であることが判明している。このようなランダムエラー・チャネルは、たとえば、符号分割多重接続（CDMA）環境において見られる。CDMA環境の容量は、実働の信号対ノイズ比によるので、性能が改善されれば、容量がより大きくなる。

## 【0003】

ターボ符号化装置を非常に有効なものとする性質は、当初の受信または送信データフレームが第2の符号化装置に入力される前に、その順序を変えるインターリーブ装置である。順序を変えることは、一つまたは複数のランダム化アルゴリズムに基づいて信号の部分ランダム化することによって完成される。順序を変えたデータフレームを当初のデータフレームと組み合わせると、AWGNおよびフェーディング・チャネルにおいて低BERを達成することが示された。インターリーブ・プロセスはデータの多様性を増加し、変調されたシンボルが伝送中に変化しても、該エラーは、復号装置中のエラー修正アルゴリズムを使用して回復可能となるようにする。

## 【0004】

従来のインターリーブ装置は、伝送すべき信号点を収集し、配列に組み立てる。ここで、配列は、行ごとに順次埋められる。所定の数の信号点が組み立てられると、送信用に配列の列を順次読み取ることによって、インターリーブ装置は空にされる。結果として、当初の信号点の流れにおいて互いに近接していた、配列の同一行の複数の信号点は、配列の行の数に等しい信号点の数だけ離れる。理想



的には、列と行の数は、伝送後に相互に依存する信号点がチャネルに対するエラーバーストの予想長さよりも離れるように選択される。

【 0 0 0 5 】

非均一インターリーブによって、データの「最大拡散」および出力シーケンスの「最大無秩序」が達成される。二つのコンボリューション符号化装置によって導入された冗長度は、ターボ符号化装置の出力順序においてより均一に拡散される。最小距離は、均一インターリーブに対するよりも、ずっと高い値へ増加される。非均一インターリーブに対して常に問題となるのは、十分な「非均一性」を達成し、実時間要求を伴う応用に対する使用を限定する遅延補償を最小としながら、非均一インターリーブをどのようにして実用的に実現するかである。

【 0 0 0 6 】

効果的なインターリーブ装置を見つけることは、第三世代CDMA標準作業における最新の主題である。フレームサイズが無限に近づくにつれて、最も効果的なインターリーブ装置はランダムなインターリーブ装置であることが確定し、一般に合意されている。しかしながら、有限のフレームサイズに対しては、最も効果的なインターリーブ装置についての判断は、なお議論の余地がある。

【 0 0 0 7 】

したがって、有限のフレームサイズに対して非均一性を改善する、符号をインターリーブするシステムおよび方法に対する要望が存在する。

【 0 0 0 8 】

また、実現するのが比較的簡単な、上記の符号をインターリーブするシステムおよび方法に対する要望も存在する。

【 0 0 0 9 】

このように、有限のフレームサイズに対して非均一性を改善する、符号をインターリーブするシステムおよび方法を提供することが本発明の目的である。

【 0 0 1 0 】

実現するのが比較的簡単な、符号をインターリーブするシステムおよび方法を提供することも本発明の目的である。

【 0 0 1 1 】

本発明の上記の目的および他の目的は、以下の説明から当業者に明らかである。

#### 【 0 0 1 2 】

上記の目的および他の目的は、予め決められたサイズを有し、部分からなるデータフレームをインターリーブする本発明によって達成される。本発明の一実施形態は、これらのデータフレームをインターリーブするインターリーブ装置を含む。インターリーブ装置は、受け取ったデータフレームを、行と列に編成された配列として記憶するように構成された入力メモリと、入力メモリへ接続され、式

$$D_i(j, k) = D(j, (\alpha_i \cdot k + \beta_i) \bmod P)$$

にしたがって、受け取ったデータの順序を変えるプロセッサと、プロセッサと電気的に通信し、データフレームの順序を変えたものを記憶するように構成されたワーキング・メモリとを含む。上記の式の要素は以下のとおりである。Dはデータフレームであり、jおよびkは、データフレームにおいて、それぞれ、行および列に対する索引であり、 $\alpha$ および $\beta$ は、現在の行にしたがって選択された定数の組であり、Pと各 $\alpha_i$ とは、互いに素の数である。（「互いに素の数」は、1以外の公約数を持たない一組の数を意味する。互いに素の数のメンバーは、それ自身、素数である必要はない。）

#### 【 0 0 1 3 】

本発明の別の実施形態は、データフレームを記憶し、 $N_1$ と $N_2$ との積は少なくともNに等しいとして、 $N_1 \times N_2$ の索引配列Iによってデータフレームを索引付けする方法を含む。索引配列の要素は、データフレームの要素の位置を示す。データフレーム要素は、任意の都合のよい方法で記憶されてよく、配列として編成される必要はない。本方法は、Iは索引配列であり、jおよびkは、索引配列において、それぞれ、行および列に対する索引であり、 $\alpha$ および $\beta$ は、現在の行にしたがって選択された定数の組であり、Pと各 $\alpha_i$ とは、互いに素の数であるとして、

$$I(j, k) = I(j, (\alpha_i \cdot k + \beta_i) \bmod P)$$

にしたがって、配列Iの順序を変えるステップをさらに含む。順序を変えた索引配列Iによって索引付けされるので、データフレームの順序は効果的に変えられ

る。

#### 【 0 0 1 4 】

さらに、本発明の別の実施形態は、データフレームを記憶し、 $N_1$  と  $N_2$  との積は少なくとも  $N$  に等しいとして、 $N_1 \times N_2$  の索引配列  $I$  を記憶するための記憶装置を含むインターリーブ装置を含む。索引配列の要素は、データフレームの要素の位置を示す。データフレーム要素は、任意の都合のよい方法で記憶されてよく、配列として編成される必要はない。インターリーブ装置は、 $I$  は索引配列であり、 $j$  および  $k$  は、索引配列において、それぞれ、行および列に対する索引であり、 $\alpha$  および  $\beta$  は、現在の行にしたがって選択された定数の組であり、 $P$  と各  $\alpha_j$  とは、互いに素の数であるとして、

$$I(j, k) = I(j, (\alpha_j \cdot k + \beta_j) \bmod P)$$

にしたがって、配列  $I$  の順序を変える順序変更装置をさらに含む。順序を変えた索引配列  $I$  によって索引付けされるので、データフレームの順序は効果的に変えられる。

#### 【 0 0 1 5 】

本発明は、明らかにされた実施形態および実施例と関連して以下に説明される。しかしながら、本発明の範囲からはずれることなく、種々の変更、追加および削除をない得ることは当業者に明白である。

#### 【 0 0 1 6 】

本発明は図面と関連付けて、例示的な実施形態の以下の詳細な説明を参照することによってより明白に理解される。

#### 【 0 0 1 7 】

図1は従来のターボ符号化装置を示す。図示のように、従来のターボ符号化装置は、2台の符号化装置20とインターリーブ装置100とを含む。本発明によるインターリーブ装置100は、サイズ  $N$  の到着データフレームを受け取る。ここで、 $N$  は、ビットの数、バイトの数、またはフレームがそれへ分割される他の部分の数であり、これらはフレーム要素とみなされる。インターリーブ装置100は、 $N$  個のフレーム要素を、行のような一組のデータへ分離する。つぎに、インターリーブ装置は、各組（行）のデータを擬似ランダムに配置しなおす（順序

を変える)。インターリーブ装置100は、種々の組のデータを配置しなおすために種々の方法を使用することができる。しかしながら、当業者は、発明の範囲からはずれることなく、一つまたは複数の組について、一つまたは複数の方法を利用しなおすことができる。各組のデータの順序を変えた後に、インターリーブ装置は、受け取ったのとは異なる順序でデータを出力する。

#### 【0018】

インターリーブ装置100は、 $N_1 \times N_2 = N$ であるサイズ $N_1 \times N_2$ の配列の形でデータフレーム110を記憶することができる。図3に示した例は、フレーム要素00 (FE00) からFE17 ( $N=18$ ) と表示された、18個の要素を備えるデータフレーム110を記憶するための6列 ( $N_2=6$ ) の3行 ( $N_1=3$ ) を備える配列350を示す。本例は好ましい方法であるが、本発明にしたがって一つまたは複数のより小さなファイルが操作され、より小さなファイルの各々からの結果が後で組み合わされるように、配列が、 $N_1 \times N_2$  は $N$ の部分であるように設計されてもよい。

#### 【0019】

本発明にしたがって配列350の順序を変えるために、配列350の各行 $j$ は、以下の式にしたがって各行の列 $k$ の順序を変えるように、個別に操作される。

#### 【0020】

$$D_i(j, k) = D(j, (\alpha \cdot k + \beta) \bmod P)$$

ここで、 $j$ および $k$ は、それぞれ、配列350における行および列の索引であり、 $P$ は、 $N_2$ 以上の数であり、 $\alpha$ と $P$ とは互いに素の数（一方または双方は、素数でなくてもよいが、唯一の公約数が1である）であり、 $\beta$ は定数であり、各行に関連した値である。

#### 【0021】

全ての行のデータの順序を変えると、新しい配列が列ごとに読み出される。また、行の順序を変えると、（必要ではないが）データを出力する前に列によってグループ化されたデータの順序を変えることもできる。行と列の双方の順序を変える場合には、行、列または双方の順序を、本発明にしたがって変えることができる。たとえば、行索引 $j$ の2進表現中のビットの位置を変えることによって、

配列の行の位置を変えることもできる。(たとえば、4行の配列において、この機構の下に、第2行と第3行との位置が変わる。)行と列の両方ではなく、いずれかを、別の方法にしたがって順序を変えることもできる。列ごとにデータを記憶し、列におけるデータの各組の順序を変え、結果を行ごとに読み出すように、本発明の範囲からはずれずに本システムを構成しなおすことができることは、当業者は理解する。

#### 【 0 0 2 2 】

上述のインターリーブの方法は、整数論に基いており、ソフトウェアまたはハードウェアまたは双方(すなわち、特定用途向け集積回路(A S I C)、プログラマブル論理配列(P L A)、または他の適当な論理装置)によって実現される。また、単一の擬似ランダム系列発生装置(すなわち、m系列、M系列、G o l d系列、K a s a m i系列など)をインターリーブ装置として使用することができる。

#### 【 0 0 2 3 】

図3に示した例では、Pとして選択された値は6であり、全3行に対して $\alpha$ の値は5であり、3行のそれぞれに対して $\beta$ の値は、1, 2および3である。(これらの数字は単に例示的なものである。別の順序変えの結果を達成するために、他の数字を選ぶことができる。)上述のように、 $\alpha$ の値(5)は、それぞれ、Pの値(6)に対して互いに素の数である。

#### 【 0 0 2 4 】

配列D 3 5 0の行0を配列D<sub>1</sub> 3 6 0の行0へ順序を変えるために、指定した値によって指定した式を以下の様に計算する。

#### 【 0 0 2 5 】

$$\begin{aligned} D_1(0, 0) &= D(0, (5 \cdot 0 + 1) \bmod 6) \\ &= D(0, (1) \bmod 6) \\ &= D(0, 1) \\ &= F E 0 1 \end{aligned}$$

$$\begin{aligned} D_1(0, 1) &= D(0, (5 \cdot 1 + 1) \bmod 6) \\ &= D(0, (6) \bmod 6) \end{aligned}$$

$$= D(0, 0)$$

$$= FE00$$

$$D_1(0, 2) = D(0, (5 \cdot 2 + 1) \bmod 6)$$

$$= D(0, (11) \bmod 6)$$

$$= D(0, 5)$$

$$= FE05$$

$$D_1(0, 3) = D(0, (5 \cdot 3 + 1) \bmod 6)$$

$$= D(0, (16) \bmod 6)$$

$$= D(0, 4)$$

$$= FE04$$

$$D_1(0, 4) = D(0, (5 \cdot 4 + 1) \bmod 6)$$

$$= D(0, (21) \bmod 6)$$

$$= D(0, 3)$$

$$= FE03$$

$$D_1(0, 5) = D(0, (5 \cdot 5 + 1) \bmod 6)$$

$$= D(0, (26) \bmod 6)$$

$$= D(0, 2)$$

$$= FE02$$

したがって、行0は、FE01, FE00, FE05, FE04, FE03, FE02となる。

#### 【0026】

行1に対して式は、以下の様になる。

$$D_1(1, 0) = D(1, (5 \cdot 0 + 2) \bmod 6)$$

$$= D(1, (2) \bmod 6)$$

$$= D(1, 2)$$

$$= FE08$$

$$D_1(1, 1) = D(1, (5 \cdot 1 + 2) \bmod 6)$$

$$= D(1, (7) \bmod 6)$$

$$= D(1, 1)$$

$$= \text{FE}07$$

$$D_1(1, 2) = D(1, (5 \cdot 2 + 2) \bmod 6)$$

$$= D(1, (12) \bmod 6)$$

$$= D(1, 0)$$

$$= \text{FE}06$$

$$D_1(1, 3) = D(1, (5 \cdot 3 + 2) \bmod 6)$$

$$= D(1, (17) \bmod 6)$$

$$= D(1, 5)$$

$$= \text{FE}11$$

$$D_1(1, 4) = D(1, (5 \cdot 4 + 2) \bmod 6)$$

$$= D(1, (22) \bmod 6)$$

$$= D(1, 4)$$

$$= \text{FE}10$$

$$D_1(1, 5) = D(1, (5 \cdot 5 + 2) \bmod 6)$$

$$= D(1, (27) \bmod 6)$$

$$= D(1, 3)$$

$$= \text{FE}09$$

このように、行1はFE08, FE07, FE06, FE11, FE10, FE09

となる。

【0027】

行2に対して、式は以下の様になる。

$$D_1(2, 0) = D(2, (5 \cdot 0 + 3) \bmod 6)$$

$$= D(2, (3) \bmod 6)$$

$$= D(2, 3)$$

$$= \text{FE}15$$

$$D_1(2, 1) = D(2, (5 \cdot 1 + 3) \bmod 6)$$

$$= D(2, (8) \bmod 6)$$

$$= D(2, 2)$$

$$= \text{FE}14$$

$$\begin{aligned}
 D_1(2, 2) &= D(2, (5 \cdot 2 + 3) \bmod 6) \\
 &= D(2, (13) \bmod 6) \\
 &= D(2, 1) \\
 &= FE13
 \end{aligned}$$

$$\begin{aligned}
 D_1(2, 3) &= D(2, (5 \cdot 3 + 3) \bmod 6) \\
 &= D(2, (18) \bmod 6) \\
 &= D(2, 0) \\
 &= FE12
 \end{aligned}$$

$$\begin{aligned}
 D_1(2, 4) &= D(2, (5 \cdot 4 + 3) \bmod 6) \\
 &= D(2, (23) \bmod 6) \\
 &= D(2, 5) \\
 &= FE17
 \end{aligned}$$

$$\begin{aligned}
 D_1(1, 5) &= D(2, (5 \cdot 5 + 3) \bmod 6) \\
 &= D(2, (28) \bmod 6) \\
 &= D(2, 4) \\
 &= FE16
 \end{aligned}$$

このように、行1はFE15, FE14, FE13, FE12, FE17, FE16となる。順序を変えたデータフレームは、図3に示す配列D<sub>1</sub>360に含まれる。配列を列ごとに出力すると、配列要素は、以下の順序で出力される。

【0028】

1, 8, 15, 0, 7, 14, 5, 6, 13, 4, 11, 12, 3, 10, 17, 2, 9, 16

【0029】

本発明の代替実施において、データフレーム110は、連続的な記憶場所へ、配列またはマトリクスとしてではなく、記憶され、別個の索引配列がデータフレームの要素を索引付けするために記憶され、索引配列は、本発明の式にしたがって順序を変えられ、データフレームは、順序を変えられた索引配列によって索引付けされて出力される。

【0030】



図4は、長さが32個の要素である記憶のブロック400を示す。したがって、開始の記憶場所からのオフセットは0から31である。データフレーム110は、本例では、22個の要素の長さであり、要素FE00からFE22を含み、ブロック400内のオフセット場所00から21を占める。ブロック400のオフセット場所22から31は、不知の内容を含む。22個の要素のフレーム長さは単に例示であり、他の長さを選択することができる。また、連続的な場所にフレーム要素を記憶することは例示的であり、非連続的な場所を使用することもできる。

#### 【0031】

図5は、記憶ブロック400を索引付けするための索引配列1550を示す。索引配列は、それぞれ8列の4行 ( $N_1 = 4$ 、 $N_2 = 8$ 、 $N = N_1 \cdot N_2 = 32$ ) として編成される。初期の内容は、図5に示されるように順次配列1550に満たされる。このように順次初期化することは、データフレーム110を行ごとに読み込むのと同様の効果をもたらす。

#### 【0032】

索引配列は、以下の式にしたがって順序を変えられる。

$$I_1(j, k) = I(j, (\alpha_j \cdot k + \beta_j) \bmod P)$$

ここで、 $\alpha$ は1, 3, 5, 7であり、 $\beta$ は0, 0, 0, 0であり、 $P$ は8である。

#### 【0033】

上述の数字は例示的なものであり、 $P$ は少なくとも $N_2$ に等しく、 $\alpha$ の各々の値は選択された $P$ の値に対して互いに素の数であるという条件が認められる限り、他の数字を選択することができる。

#### 【0034】

上記の式を行2の列に適用すると、以下の様になる。

$$\begin{aligned} I_1(2, 0) &= D(2, (5 \cdot 0) \bmod 8) \\ &= D(2, (0) \bmod 8) \\ &= D(2, 0) \\ &= 16 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 1) &= D(2, (5 \cdot 1) \bmod 8) \\
 &= D(2, (5) \bmod 8) \\
 &= D(2, 5) \\
 &= 21
 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 2) &= D(2, (5 \cdot 2) \bmod 8) \\
 &= D(2, (10) \bmod 8) \\
 &= D(2, 2) \\
 &= 18
 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 3) &= D(2, (5 \cdot 3) \bmod 8) \\
 &= D(2, (15) \bmod 8) \\
 &= D(2, 7) \\
 &= 23
 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 4) &= D(2, (5 \cdot 4) \bmod 8) \\
 &= D(2, (20) \bmod 8) \\
 &= D(2, 4) \\
 &= 20
 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 5) &= D(2, (5 \cdot 5) \bmod 8) \\
 &= D(2, (25) \bmod 8) \\
 &= D(2, 1) \\
 &= 17
 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 6) &= D(2, (5 \cdot 6) \bmod 8) \\
 &= D(2, (30) \bmod 8) \\
 &= D(2, 6) \\
 &= 22
 \end{aligned}$$

$$\begin{aligned}
 I_1(2, 7) &= D(2, (5 \cdot 7) \bmod 8) \\
 &= D(2, (35) \bmod 8) \\
 &= D(2, 3) \\
 &= 19
 \end{aligned}$$

行0, 1および3に同等に上記の式を適用すると、図5に示される順序を変えた

索引配列 I, 560 が作成される。

【 0035 】

データフレーム 110 は、記憶ブロック 400 から読み出され、順序を変えた索引配列 I, 560 に指定された順序で、列ごとに出力される。記憶場所は以下のオフセット順序で出力される。

【 0036 】

0, 8, 16, 24, 1, 11, 21, 31, 2, 14, 18, 30, 3, 9, 23, 29, 4, 12, 20, 28, 5, 15, 17, 27, 6, 10, 22, 26, 7, 13, 19, 25

しかし、例ではフレーム長さは 22 個の要素であり、ブロック 400 内のオフセット場所 22 から 31 は、データフレームの部分ではないと仮定している。したがって、データフレームを出力するときに、22 の長さまで縮小するか切り捨てる。すなわち、21 より大きなオフセット場所は無視される。このように、データフレームは以下の要素の順序で出力される。

【 0037 】

0, 8, 16, 1, 11, 21, 2, 14, 18, 3, 9, 4, 12, 20, 5, 15, 17, 6, 10, 7, 13, 19

【 0038 】

本発明の一態様によれば、配列の行は、出力前に、たとえば、行索引 j の 2 進表現におけるビットを逆転させて、位置を変えてもよい。

【 0039 】

本発明のインターリーブ装置 100 を実現するのに多数の異なる方法がある。図 2 は、インターリーブ装置 100 がデータフレーム 110 を受け取り記憶するための入力メモリ 300 を含む本発明の実施形態を示す。このメモリ 300 は、シフト・レジスタ、RAM などを含んでもよい。また、インターリーブ装置 100 は、RAM、シフト・レジスタなどを含んでもよいワーキング・メモリ 310 を含んでもよい。インターリーブ装置は、上記の式にしたがって実時間で  $I(j, k)$  を処理するか、既に記憶された、 $I(j, k)$  の結果を含むテーブルへアクセスするように構成されたプロセッサ 320 (たとえば、マイクロプロセッサ

、ASICなど)を含む。当業者は、メモリ300とメモリ310は同一のメモリであっても、別個のメモリであってもよいことを理解できる。

【0040】

I ( j , k ) を実時間で決定するには、索引配列の第1行の順序を変え、順序を変えた索引に対応するバイトがワーキング・メモリへ記憶される。その後、次の行の順序を変えて記憶し、全ての行の順序を変えて記憶するまで同様の処理を行なう。複数の行の順序を変えることは順次行なっても、並列に行なってもよい。

【0041】

順序を変えた I ( j , k ) が実時間で決定されても、ルックアップによって決定されても、データは多数の異なる方法でワーキング・メモリへ記憶され得る。入力メモリから、順序を変えた索引配列と同じ順番でデータを選択し(すなわち、入力メモリを順序変え機能によって索引付けし)、そのデータをワーキング・メモリにおいて、連続した利用可能なメモリ場所へ配置することによって、記憶することができる。入力メモリへ記憶された順序でバイトを選択し(すなわち、FIFO、先入れ先出し)、ワーキング・メモリにおいて、順序を変えた I ( j , k ) によって決定された場所へ直接そのバイトを記憶する(すなわち、ワーキング・メモリを順序変え機能によって索引付けする)ことによって記憶してもよい。この処理が行われたら、データは、順序を変えた索引配列に基いて列ごとにワーキング・メモリから読み出される。上述のように、データをワーキング・メモリに記憶した後、異なる結果を達成するために、行よりも列に基いて、さらに別の順序変えを行なうこともできる。

【0042】

システムが十分に高速であれば、メモリの内の一つを除去し、データ要素を受け取ると、実時間またはテーブル・ルックアップによって、順序変えた索引配列に対応する順序で、ワーキング・メモリへ配置することもできる。

【0043】

開示したインターリーブ装置は、既存のターボ符号構造に対応している。本インターリーブ装置は、システムを複雑にすることなく、優れた性能を提供する。

## 【 0 0 4 4 】

さらに、当業者は、インターリーブされたデータフレームを復号するためにインターリーブ解除装置を使用できることを理解する。ターボ符号を復号するのに使用されるインターリーブ解除装置の構成は、従来技術でよく知られている。インターリーブ解除装置自体については、本明細書ではこれ以上説明しない。しかしながら、実施形態に対応するインターリーブ解除装置は、上述の順序変えしたシーケンスを使用して構成することができる。

## 【 0 0 4 5 】

上述の実施形態は、CDMAシステムで見られるようなターボ符号化装置であるが、本発明の実施はそれに限定されず、本発明は、任意の通信システムの任意の型のインターリーブ装置およびインターリーブ解除装置に実施することができることを当業者は理解する。

## 【 0 0 4 6 】

これまでの説明によって明らかになったことの中で、本発明は、上記の目的を効率的に達成することが分かる。特に、本発明は、実施をできるだけ複雑にすることなく、有限長の符号をインターリーブする、改良された装置および方法を提供する。

## 【 0 0 4 7 】

本発明の範囲からはずれることなく、上記の構成および上記の操作のシーケンスを変更することができることが分かる。したがって、上記の説明に含まれ、または添付の図面に示された全ての事項は、限定の意味ではなく例示として解釈すべきである。

## 【 0 0 4 8 】

また、特許請求の範囲は、本明細書で説明した本発明の包括的な特徴および特定の特徴の全てをカバーし、本発明の範囲の全ての記述は、言語の問題として、特許請求の範囲に含まれることが分かる。

## 【 図面の簡単な説明 】

【 図 1 】 従来のターボ符号化装置の図を示す。

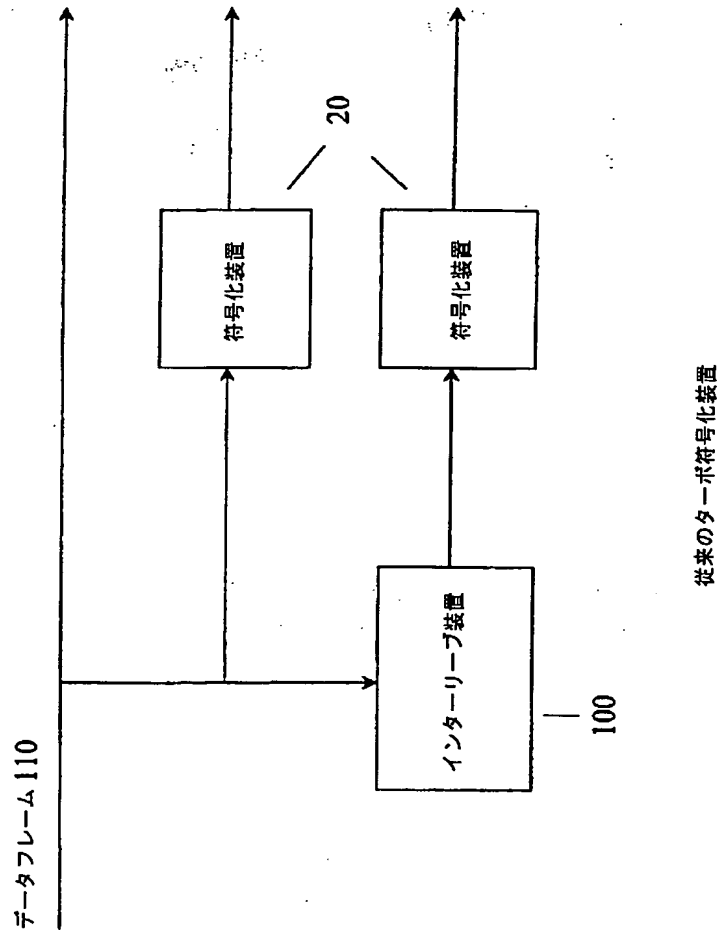
【 図 2 】 図 1 に示したインターリーブ装置のブロック図を示す。

【図3】データフレームを含む配列とその配列の順序変更を示す。

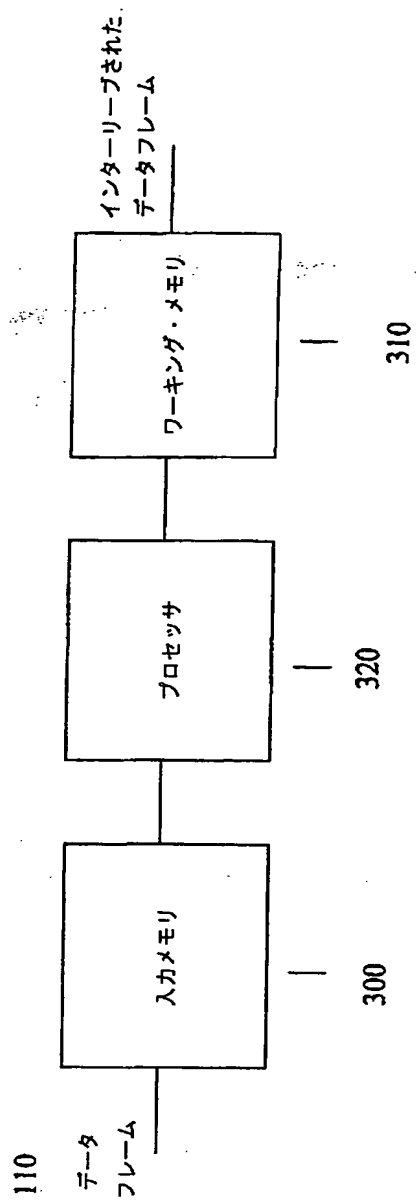
【図4】連続的な記憶場所に記憶されたデータフレームを示す。

【図5】図4に示したデータフレームを索引付けするための索引配列とその索引配列の順序変換を示す。

【図1】



【 図 2 】



【 図 3 】

マトリックス D 350:

|   | 0    | 1    | 2    | 3    | 4    | 5    | ← 列 k |
|---|------|------|------|------|------|------|-------|
| 0 | FE00 | FE01 | FE02 | FE03 | FE04 | FE05 |       |
| 1 | FE06 | FE07 | FE08 | FE09 | FE10 | FE11 |       |
| 2 | FE12 | FE13 | FE14 | FE15 | FE16 | FE17 |       |

↑ 行 j

以下の式による順序変換  
 $D_1(j, k) = D(j, (\alpha_j * k + \beta_j) \bmod P)$   
 ここで  $\alpha = 5, 5, 5$   
 $\beta = 1, 2, 3$   
 $P = 6$

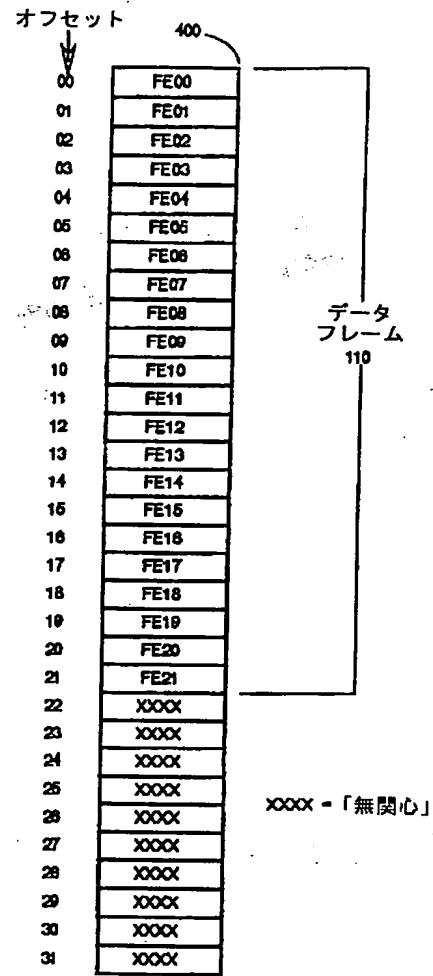
マトリックス D<sub>1</sub> 360:

|   | 0    | 1    | 2    | 3    | 4    | 5    | ← 列 k |
|---|------|------|------|------|------|------|-------|
| 0 | FE01 | FE00 | FE05 | FE04 | FE03 | FE02 |       |
| 1 | FE08 | FE07 | FE06 | FE11 | FE10 | FE09 |       |
| 2 | FE15 | FE14 | FE13 | FE12 | FE17 | FE16 |       |

↑ 行 j



【 図 4 】



【 図 5 】

索引マトリックス I 550:

(データフレーム110(図4)の索引)

|         | 0  | 1  | 2  | 3  | 4  | 5  | 6  | 7 ← 列 k |
|---------|----|----|----|----|----|----|----|---------|
| 0       | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07      |
| 1       | 08 | 09 | 10 | 11 | 12 | 13 | 14 | 15      |
| 2       | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23      |
| 3 ↑ 行 j | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31      |

以下の式による順序変換

$$I_1(j, k) = I(j, (\alpha_j * k + \beta_j) \bmod P)$$

ここで  $\alpha = 1, 3, 5, 7$   
 $\beta = 0, 0, 0, 0$   
 $P = 8$

索引マトリックス I<sub>1</sub> 560:

|         | 0  | 1  | 2  | 3  | 4  | 5  | 6  | 7 ← 列 k |
|---------|----|----|----|----|----|----|----|---------|
| 0       | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07      |
| 1       | 08 | 11 | 14 | 09 | 12 | 15 | 10 | 13      |
| 2       | 16 | 21 | 18 | 23 | 20 | 17 | 22 | 19      |
| 3 ↑ 行 j | 24 | 31 | 30 | 29 | 28 | 27 | 26 | 25      |

## 【 國際調查報告 】

## INTERNATIONAL SEARCH REPORT

| A. CLASSIFICATION OF SUBJECT MATTER<br>IPC 7 H03M13/27   |  | International Application No.<br>PCT/IB 00/00031                 |
|--|--|--|
| According to International Patent Classification (IPC) or to both national classification and IPC  |  |  |
| B. RELOS SEARCHED<br>Minimum documentation searched (classification system followed by classification symbols)<br>IPC 7 H03M   |  |  |
| Documentation searched other than minimum documentation to the extent that such documents are included in the results searched   |  |  |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used)   |  |  |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT   |  |  |
| Category *   | Citation of documents, with indication, where appropriate, of the relevant passages  | Relevant to claim No.  |
| X  | US 4 394 642 A (RATTLINGOURD GLEN D ET AL)<br>19 July 1983 (1983-07-19)<br><br>column 5, line 24 -column 7, line 6;<br>claims 1,2; figures 4-7   | 1-3, 5-9,<br>18-20,<br>22-25,<br>27-29,<br>31-34                 |
| X  | LIN L ET AL: "ON THE TAIL EFFECT OF<br>SOVA-BASED DECODING FOR TURBO CODES"<br>GLOBAL TELECOMMUNICATIONS CONFERENCE<br>(GLOBECOM), US, NEW YORK, IEEE, 1997, pages<br>644-648, XP000737618 ISBN: 0-7803-4199-6<br><br>page 647, left-hand column; figures<br>7-A, 7-B<br><br>--- --/-- | 1-3,<br>5-10, 14,<br>18-20,<br>22-25,<br>27-29,<br>31-34         |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.   |  |  |
| <input checked="" type="checkbox"/> Patent family members are listed in annex.   |  |  |
| * Special categories of cited documents:   |  |  |
| "A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier documents but published on or after the international filing date<br>"L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specification)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"Z" document member of the same patent family |  |  |
| Date of the actual completion of the international search<br>28 February 2000  |  | Date of mailing of the international search report<br>09/03/2000 |
| Name and mailing address of the ISA<br>European Patent Office, P.O. 5018 Patankian 2<br>NL - 2200 HW Rijswijk<br>Tel. (+31-70) 340-3240, Tx. 31 651 spord.<br>Fax: (+31-70) 340-3016   |  | Authorized officer<br>Farman, T                                  |

Form PCT/IB-A210 (second sheet) July 1992

## INTERNATIONAL SEARCH REPORT

| C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT |  | Int. Class. Application No.<br>PCT/IB 00/00031 |
|--|--|--|
| Category *   | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No.                          |
| A  | US 5 742 612 A (DE SEZE FABRICE ET AL)<br>21 April 1998 (1998-04-21)               | 1-35   |

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.  
PCT/IB 00/00031

| Patent document<br>cited in search report | Publication<br>date | Patent family<br>member(s)                  | Publication<br>date                    |
|---|---------------------|---|--|
| US 4394642 A                              | 19-07-1983          | NONE  |  |
| US 5742612 A                              | 21-04-1998          | FR 2706054 A<br>EP 0627821 A<br>FI 942512 A | 09-12-1994<br>07-12-1994<br>03-12-1994 |

Form PCT/ISA/210 (patent family annex) (July 1992)

## フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,  
DE, DK, ES, FI, FR, GB, GR, IE, I  
T, LU, MC, NL, PT, SE), BR, CA, C  
N, JP, MX

(72)発明者 リ・ビン

カナダ、ケー1ゼット、7エル1、オンタ  
リオ、オタワ、カーリング・アベニュー  
1908-1316

(72)発明者 トン・ウェン

カナダ、ケー2シー、3エル7、オンタリ  
オ、オタワ、キャッスル・ヒル・クレス  
ト、ナンバー903-1000

(72)発明者 ワン・ルイ・アール

カナダ、ケー2シー、3エル7、オンタリ  
オ、オタワ、ダインズ・ロード 1204-  
900

Fターム(参考) 5B001 AA13 AB03 AC02 AC05 AD06  
5J065 AC02 AF04 AG06 AH06 AH07  
AH19  
5K014 AA01 FA16 GA02 GA04 HA00  
HA10